長崎大学大学院生産科学研究科 （博士前期課程）　　受験番号＿＿＿＿＿＿＿＿

電気情報工学専攻 （情報システム工学系）

平成 19 年度　入学試験問題

ハードウェア

2.　次の文章を読んで以下の設問に答えなさい。

符号つきの数字を n ビットの 2 進数で表す方法はいくつかあるが，現在のコンピュータシステムでは2の補数表現が広く使われている。この理由は，この表現法では符号つきの加算を簡単に実行できることにある。すなわち，符号なし数の加算と同様の処理を行い，MSB からの桁上げを無視するだけでよい。 例えばn = 4 とし，$7_{(10)}$ と $-2_{(10)}$ の加算を考えてみよう。$7_{(10)}$ を 2 の補数で表すと $0111_{(2)}$ ，$-2_{(10)}$ は $1110_{(2)}$ となる。これを符号なし数と同様の方法で計算し，5 ビット目への桁上がりを無視すれば $0101_{(2)}$ となり，正しい答の $5_{(10)}$ が得られる。しかし，2 つのn ビットの符号付き数字の和は，いつもnビットで表せるとは限らない。例えばn = 4 のとき，$7_{(10)}$ と$7_{(10)}$ の和は $1110_{(2)}$ となる。これは$-2_{(10)}$ であり，正しい答が得られていない。このことをオーバーフローと呼ぶ。

(1)　n = 4 とし，上記の手順で $-7_{(10)}$ と $-5_{(10)}$ を加算した結果を 10 進数で答えなさい。

【解答】＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

(2)　オーバーフローが起きる可能性がある加算の条件を以下からすべて選び記号で答えなさい。

(a) 正の数と正の数を加算するとき

(b) 負の数と負の数を加算するとき

(c) 正の数と負の数を加算するとき

【解答】＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

(3)　n ビットの 2 の補数で表現できる最大の数は $2^{n-1}-1$ と表せる。同様に，n ビットの 2 の補数で表現できる最小の数を　n を使って表しなさい。

【解答】＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

(4)　加算における 2 つのオペランドの MSB を論理変数　x と y で表し，演算結果 （和） の MSB を論理変数 z とする. オーバーフローが起きるときに限り値が 1 となる論理関数 F=(x, y, z)を加法標準形（積和標準形）で示しなさい。

【解答】＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿＿

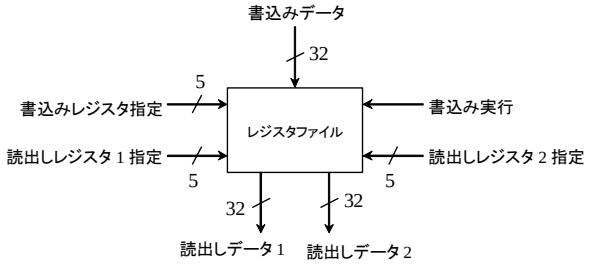
長崎大学大学院生産科学研究科(博士前期課程)　　受験番号＿＿＿＿＿＿＿＿
電気情報工学専攻(情報システム工学系)
平成 19 年度入学試験問題
ハードウェア

3. 以下の説明を読み後の問いに答えよ。答えは 7/9 ページの解答欄に記せ。

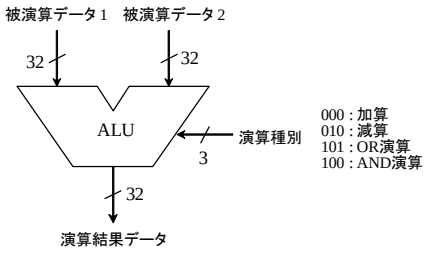
CPU のデータパスを構成する基本的な部品として,

- 32 個のレジスタに対して 2 つのレジスタの読み出しと 1 つのレジスタへの書込みが 1 マシンサイクルで行えるレジスタファイル（書込みと読出しで同じレジスタを指定した場合には，書込んだデータを同じマシンサイクルで読出せるものとする),
- 2 つの 32 ビットのデータに対して加算，減算，AND 演算，OR 演算が行える ALU,
- 32 ビットのアドレスに対して 32 ビットのデータの読み出し，または書込みが 1 マシンサイクルで行えるデータキャッシュ,
- 32 ビットのアドレスに対して 32 ビットのデータの読み出しが 1 マシンサイクルで行える命令キャッシュ

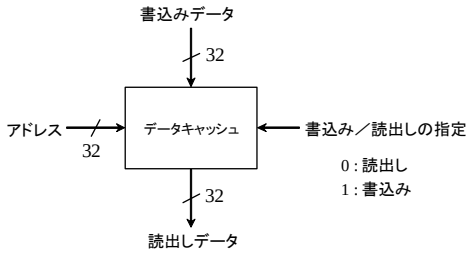
を使うことができるものとする。これらのインタフェースを図 3-1 に示す。



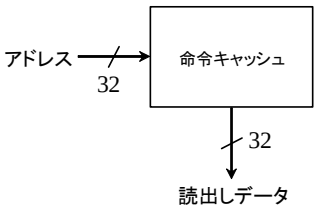
(a)レジスタファイル



(b)ALU



(c)データキャッシュ



(d)命令キャッシュ

図 3-1

これらを使って,

- IF（命令キャッシュからの命令の読み出し),

・RD（命令デコードとレジスタファイルからのオペランド読み出し),
・ALU（演算),
・MEM（データキャッシュのアクセス),
・WB（レジスタファイルへの書込み)

の 5 つのステージからなるパイプライン CPU を設計したい。とりあえず

```
sub $2, $1, $3          ($2 = $1 - $3)
add $12, $2, $5         ($12 = $2 + $5)
or $13, $6, $2          ($13 = $6 or $2)
and $14, $2, $3         ($14 = $2 and $3)
sw $15, 100($2)         (mem[$2 + 100] = $15)
```

の 5 命令がパイプラインハザードを起こさずにスムーズに流れるようにしたい。これらの命令の意味は（ ）内に示したとおりである。なお$2 などはこの CPU が持つ 32 個の 32 ビットのレジスタの内の一つを表している。またキャッシュミスなどは考えないこととする。

さて，最初の 4 つの命令の形式は

000000	rs	rt	rd	00000	ALU Function
6bit	5bit	5bit	5bit	5bit	6bit

であり，rs は第 1 ソースオペランド，rt は第 2 ソースオペランド，rd はディスティネーションオペランドを表す 5 ビットの値である。ALU Function は

add → 100000
sub → 100010
or → 100101
and → 100100

である。また最後の sw 命令の形式は

101011	base	rt	offset
6bit	5bit	5bit	16bit

であり，命令の内容は 16 ビットの offset を符号拡張した値と，base で指定されるレジスタの内容とを加えてメモリのアドレスを作成し，メモリのこのアドレス位置に rt で指定されるレジスタの内容をストアせよというものである。sw は"store word"を表している。以上の説明で分かるようにデータとアドレスは 32 ビットであり，アドレスは 32 ビットを単位として付与されているものとする。

このパイプライン CPU の構成図を図 3-2 に示す。この構成図はまだ完成されておらず，必要な転送路がなかったり，また無駄な結線があったりする。特に命令のデコードは最初に行うのではなく，とりあえず命令をそのまま各ステージに流し，ステージごとに必要なデコードを行うという手法をとっている。またパイプラインを流れる複数の命令間に関係が

なければ各ステージの制御回路はそのステージで実行している命令だけが分かれば十分であるが，とりあえず前を進んでいるすべての命令が何であるかを見れるようになっている。

問 1 WB ステージの制御回路はレジスタファイルの何と何を制御しているか. 図 3-1 の用語で答えよ。

問 2 先に示した 5 命令を実行するために MEM ステージのデータキャッシュからの読出しデータは必要か.「はい」,「いいえ」で答えよ。

問 3 先に示した 5 命令のうちの最初の 2 命令をパイプラインハザードを起こさずに実行するためにはレジスタファイルに書込む前のデータをバイパスして使う必要がある。そのための転送路を書き加え，その転送路の上に「問 3」と記せ。転送路はレジスタの前のセレクタに入力されるようにせよ。

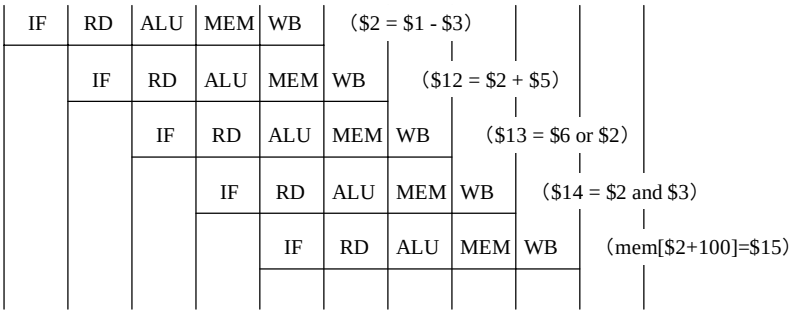
問 4 先に示した 5 命令のうちの最初の 3 命令をパイプラインハザードを起こさずに実行するためには問 3 の転送路に加えてさらに別のバイパスのための転送路が必要である。これを図に書き加え，その転送路の上に「問 4」と記せ。転送路はレジスタの前のセレクタに入力されるようにせよ。

問 5 先に示した 5 命令のうちの最初の 4 命令をパイプラインハザードを起こさずに実行するためには問 3，問 4 の転送路に加えてさらに別のバイパスのための転送路が必要か。必要であれば図に書き加え，その転送路の上に「問 5」と記せ。必要でなければ「問 5 の転送路は不要」と記せ。転送路はレジスタの前のセレクタに入力されるようにせよ。

問 6 先に示した 5 命令をパイプラインハザードを起こさずに連続して実行するためには問 3，問 4，問 5 の転送路に加えてさらに別のバイパスのための転送路が必要か。必要であれば図に書き加え，その転送路の上に「問 6」と記せ。必要でなければ「問 6 の転送路は不要」と記せ。転送路はレジスタの前のセレクタに入力されるようにせよ。

問 7 図 3-2 の各ステージの制御回路はすべての先行する命令を参照できるようになっているが，先に示した 5 命令を実行する場合に必要のない先行命令の参照のための結線に不要を表す「×」をつけよ。「×」は結線が制御回路に入るところにつけよ。

以下のタイムチャートを参考にせよ。



受験番号

問題3の解答用紙を兼ねる

問1の答えは:

問2の答えは:

問3から問7の答えは
図中に示せ. ただし
問5, 6において必要ない
と思うときは以下に
語句を記せ.

問5:

問6:

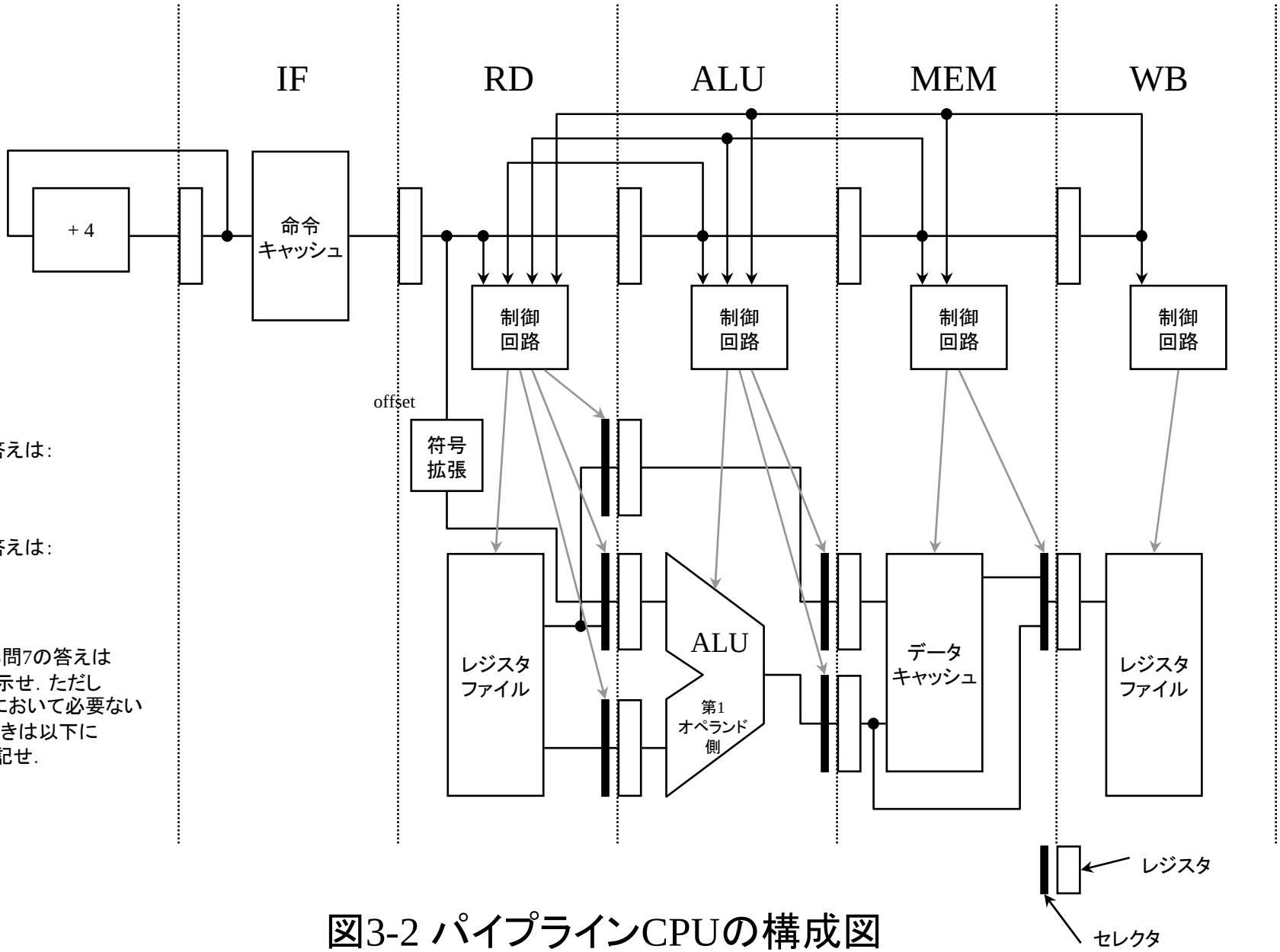


図3-2 パイプラインCPUの構成図