

1. 図1に示す回路について下記の問に答えよ。

- (1) KとMの回路素子の名前は何か。
- (2) 図1において、大文字のA, B, Cは入力端子、Zは出力端子、小文字は内部信号を表す。入力A, B, Cの値がそれぞれ1, 0, 1のときの内部信号a - i及び出力信号Zの値を解答欄の表の中に書け。
- (3) 入力Bの値が1に変化し、A, B, Cの値がそれぞれ1, 1, 1のときの内部信号a - i及び出力信号Zの値を解答欄の表の中に書け。
- (4) 回路素子KがLに対して大幅に時間遅れを生じる特性を持っているとする。入力Bの値が0から1に変化するとき、出力Zの値はどのように変化するか。
- (5) このようなZの動作を何ハザードと言うか。

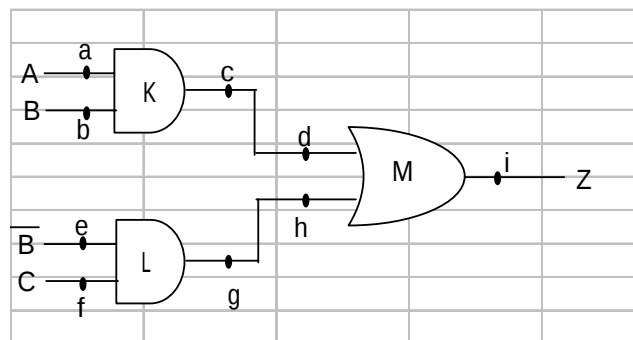


図 1

[解答欄]

(1) Kの名前: \_\_\_\_\_ Mの名前: \_\_\_\_\_

(2) および (3)

| 入力                     | 内部信号 |   |   |   |   |   |   |   |   |   | 出力 |
|------------------------|------|---|---|---|---|---|---|---|---|---|----|
| A    B    C            | a    | b | c | d | e | f | g | h | i | Z |    |
| 問 ( 2 )<br>1    0    1 |      |   |   |   |   |   |   |   |   |   |    |
| 問 ( 3 )<br>1    1    1 |      |   |   |   |   |   |   |   |   |   |    |

(4) 出力Zの変化: \_\_\_\_\_

(5) \_\_\_\_\_ハザード

2. 以下の問の答えを選択肢から選びその記号を○で囲め.

(1) アドレッシングの単位を 1 バイトとする. 4G バイトのアドレス空間を指し示すのに必要なアドレスのビット幅はいくつか.

(ア) 32 ビット (イ) 64 ビット (ウ) 128 ビット (エ) 256 ビット

(2) CPU が内部割り込みを発生する原因として適切なものはどれか.

(ア) キャッシュミス (イ) ページフォールト (ウ) スラッシング (エ) パイプラインストール

(3) 現在一般的な仮想記憶システムのページサイズとしてもっとも適切なものはどれか.

(ア) 8 バイト (イ) 8K バイト (ウ) 8M バイト (エ) 8G バイト

(4) メモリアクセスの空間的局所性に注目したキャッシュの特徴として適切なものはどれか.

(ア) 追い出しアルゴリズムに LRU 法を用いている

(イ) 追い出しアルゴリズムにランダム法を用いている

(ウ) キャッシュライン (キャッシュブロック) のサイズを 1 ワードにしている

(エ) キャッシュライン (キャッシュブロック) のサイズを複数ワードにしている

(5) 「ビッグエンディアン」と「リトルエンディアン」の異なるアドレッシング方法が存在する理由として適切なものはどれか.

(ア) 1 バイトが 1 ビットではないから

(イ) 1 ワードが 1 バイトではないから

(ウ) キャッシュライン (キャッシュブロック) のサイズが 1 ワードではないから

(エ) 主記憶の容量が 1 ワードではないから

(6) 28 ビットの 2 進数の整数と符号を含め 28 ビットの 2 の補数表現 2 進数の整数を加え合わせ結果を 2 の補数表現 2 進数で表現したい. オーバフローしないで結果が正しく表現されるためには符号を含め最低何ビット必要か.

(ア) 28 ビット (イ) 29 ビット (ウ) 30 ビット (エ) 31 ビット

(7) アドレス幅が 32 ビット, データ幅が 32 ビット, メモリサイクル時間が 20ns のメモリがある. このメモリの読出し速度は何 M バイト/s か.

(ア) 50M バイト/s (イ) 100M バイト/s (ウ) 200M バイト/s (エ) 400M バイト/s

(8) 実記憶のページ数が 4 , ページ置き換えアルゴリズムが LRU ( Least-Recently Used ) である仮想記憶システムにおいて , 仮想記憶の参照がページ 4 , 3 , 5 , 1 , 5 , 8 , 3 , 1 , 8 , 4 と行われたとき何回ページインが行われるか .

(ア) 5 回 (イ) 6 回 (ウ) 7 回 (エ) 8 回

(9) キャッシュ・メモリのアクセス時間を 2ns , 主記憶のアクセス時間を 32ns , キャッシュのヒット率を 90% とするときの平均のメモリアクセス時間は何 ns か .

(ア) 5ns (イ) 6ns (ウ) 7ns (エ) 8ns

(10) 以下の制約を持った同期式論理回路のクロック周波数はどこまで高くすることができるか .

- ・レジスタはクロック信号の立ち上がり同期してデータを更新する .
- ・レジスタのセットアップタイムは 5ns , 遅延時間は 5ns である .
- ・レジスタ間を接続する組合せ回路の遅延の最大値は 35ns である .
- ・クロック信号の到着はレジスタ間で最大 5ns のずれがある .

(ア) 2MHz (イ) 20MHz (ウ) 200MHz (エ) 2GHz

(11) 商業的にも成功した初期の洗練された RISC プロセッサである MIPS 社 R3000 では , 命令は以下の 5 つのパイプラインステージに分けてパイプライン処理される .

IF ステージ : 命令キャッシュからの命令の読み出し

RD ステージ : 命令のデコードと , レジスタ・ファイルからのオペランド読み出し

ALU ステージ : 演算

MEM ステージ : データキャッシュからの読み出し , またはデータキャッシュへの書込み

WB ステージ : レジスタ・ファイルへの書込み

最大いくつの命令が同時に処理されるか .

(ア) 2 命令 (イ) 3 命令 (ウ) 4 命令 (エ) 5 命令

(12) MIPS 社 R3000 では連続する 2 つの命令の最初の命令で更新されたレジスタの値を次の命令で使用するためにバイパスといわれる工夫がおこなわれる . この説明として正しいものを複数選べ .

- (ア) 最初の命令の MEM ステージの結果を次の命令の ALU ステージで使う
- (イ) 最初の命令の WB ステージの結果を次の命令の ALU ステージで使う
- (ウ) 最初の命令の ALU ステージの結果を次の命令の ALU ステージで使う
- (エ) 次の命令は RD ステージの動作を行わない
- (オ) 制御だけをうまく行えばよいのでデータパスの追加は必要ない
- (カ) データパスの追加が必要である